|  |  |  |  |
| --- | --- | --- | --- |
| LOGO DHCNTT -hinh.jpg | ĐẠI HỌC QUỐC GIA TP. HCM  **TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN** | Ngày nhận hồ sơ |  |
| *(Do CQ quản lý ghi)* | |

**THUYẾT MINH**

ĐỀ TÀI KHOA HỌC VÀ CÔNG NGHỆ CẤP SINH VIÊN 2023

# THÔNG TIN CHUNG

## A1. Tên đề tài

* Tên tiếng Việt (IN HOA): THIẾT KẾ KHỐI QUẢN LÝ BỘ NHỚ TRÊN KIẾN TRÚC RISC-V SỬ DỤNG GIẢI THUẬT LRU TRÊN KHỐI TLBs
* Tên tiếng Anh (IN HOA): DESIGN THE MEMORY MANAGEMENT UNIT ON RISC-V ARCHITECTURE WITH THE TRANSLATION LOOKASIDE BUFFER USING LRU ALGORITHM

## A2. Thời gian thực hiện

**..06..** tháng (kể từ khi được duyệt).

## A3. Tổng kinh phí

*(Lưu ý tính nhất quán giữa mục này và mục B8. Tổng hợp kinh phí đề nghị cấp)*

Tổng kinh phí: …**6**.. triệu đồng,gồm

* Kinh phí từ Trường Đại học Công nghệ Thông tin: ..**6**.. triệu đồng

## A4. Chủ nhiệm

Họ và tên: **Bùi Đăng Huy**  **.**

Ngày, tháng, năm sinh: 15/01/2003 . Giới tính (Nam/Nữ): Nam .

Số CCCD: 054203000168 ; Ngày cấp: 01/03/2021 ; Nơi cấp: Cục QLHC về TTATXH .

Mã số sinh viên: 21520039 **.**

Số điện thoại liên lạc: 0392211585 **.**

Đơn vị (Khoa): Khoa Kỹ thuật Máy tính **.**

Số tài khoản: 1026017120 Ngân hàng: Vietcombank

## A5. Thành viên đề tài

|  |  |  |  |
| --- | --- | --- | --- |
| **TT** | **Họ tên** | **MSSV** | **Khoa** |
| 1 | Bùi Đăng Huy | 21520039 | Kỹ thuật Máy tính |
| 2 | Nguyễn Quốc Trường An | 21521810 | Kỹ thuật Máy tính |

# 

# MÔ TẢ NGHIÊN CỨU

## B1. Giới thiệu về đề tài

*(Ghi các ý về tổng quan tình hình nghiên cứu liên quan đến đề tài, lí do thực hiện đề tài, các thách thức)*

## 

***Tổng quan đề tài:***

* RISC-V là một kiến trúc tập lệnh mở (Open-sourse ISA) được xây dựng dựa trên những nguyên tắc của kiến trúc tập lệnh RISC (được viết tắt từ Reduced Instruction Set Computer) với các ưu điểm là tiêu chuẩn mở, bất kỳ ai cũng có thể sử dụng và xây dựng thiết kế riêng, thiết kế có nhiều lớp và có thể mở rộng, có thể triển khai tập hướng dẫn và tạo tiện ích mở rộng. RISC-V là kiến trúc lý tưởng cho các ứng dụng nhúng, các ứng dụng yêu cầu đặt phần mềm cố định bên trong thiết bị để thực hiện tác vụ cụ thể, đem đến rất nhiều lợi ích quan trọng cho nền công nghiệp máy tính nói chung và sự phát triển của thiết kế vi mạch và phần cứng nói riêng, cũng như lôi kéo được nhiều ý tưởng sáng tạo thiết kế hơn, các thiết kế bộ vi xử lý có thể được trao đổi, tái sử dụng, dễ tối ưu hơn làm cho chi phí của bộ vi xử lý trở nên rẻ hơn và phù hợp với nhiều ứng dụng khác nhau.
* Quản lý bộ nhớ là việc điều hành bộ nhớ máy tính ở cấp độ hệ thống. Mục đích quan trọng của việc quản lý bộ nhớ là cung cấp những cách thức để cấp phát động các ô nhớ cho chương trình khi được yêu cầu và giải phóng các ô nhớ khi không cần dùng nữa, bảo vệ bộ nhớ cần thiết. Việc quản lý bộ nhớ được thực hiện thông qua khối MMU (Memory Management Unit). Một trong các chức năng quan trọng của khối MMU là chuyển đội địa chỉ bộ nhớ ảo (Virtual Address) sang địa chỉ bộ nhớ vật lý (Physical Address) giúp ứng dụng và hệ điều hành trên hệ thống có thể sử dụng bộ nhớ ảo để truy cập vào bộ nhớ vật lý, ánh xạ các giá trị địa chỉ vào không gian địa chỉ bộ nhớ của hệ thống.
* Khối TLBs (Translation Lookaside Buffer) là một phần của khối MMU chứa các thông tin ánh xạ từ địa chỉ ảo sang địa chỉ thực của một số trang địa chỉ truy cập thường xuyên. Khối TLBs được sử dụng như một bộ đệm để lưu trữ các thông tin về ánh xạ địa chỉ bộ nhớ của các trang ảo vào địa chỉ vật lý tương ứng giúp việc chuyển đổi địa chỉ của khối MMU diễn ra nhanh hơn, Việc sử dụng khối TLBs giúp tăng tốc độ truy cập bộ nhớ và giảm tải cho bộ dịch địa chỉ của hệ điều hành, đồng thời giảm thời gian trễ cho hoạt động truy cập bộ nhớ, giúp tăng tốc độ xử lý các lệnh cũng như chương trình.
* Tốc độ chuyển đổi địa chỉ của MMU có thể thông qua việc cải tiến khả năng tìm kiếm, truy xuất và cập nhật các ánh xạ địa chỉ của khối TLBs. Có thể sử dụng các giải thuật quản lý bộ nhớ đệm để cập nhật các ánh xạ địa chỉ quan trọng và thay thế các ánh xạ địa chỉ không cần thiết tùy theo mục đích có thể kể đến như giải thuật FIFO thay thế các trang đã được nạp vào trước tiên, OPT thay thế trang nhớ tham chiếu trễ nhất trong tương lai, LRU (Least Recently Used) thay thế các trang có thời gian tham chiếu lớn, … Trong nội dung đề tài sẽ thực hiện thiết kế đưa giải LRU vào khối TLBs để thực hiện cập nhật, thay thế ánh xạ địa chỉ, từ đó gia tăng tốc độ truy xuất các ánh xạ địa chỉ.
* Hiện tại có nhiều các nguồn thông tin, bài báo, sách tham khảo uy tín về nội dung đề tài như các sách tham khảo về kiến trúc RISC-V [1][2][3], các nghiên cứu được công bố về việc tối ưu, mở rộng, tăng tốc độ xử lí khối MMU [4], các nghiên cứu về khối TLBs bao gồm tổng quan về tính năng, cách hoạt động, cách cải thiện hiệu suất [5][6], các nghiên cứu liên quan đến giải thuật LRU (Least Recently Used) về hiện thực giải thuật và cải tiến tốc độ [7].
* Việc đánh giá đề tài dựa trên tốc độ truy xuất, chuyển đổi các giá trị địa chỉ ảo sang địa chỉ thực của khối MMU đã thiết kế với khối TLBs có giải thuật LRU so với tốc độ chuyển đổi địa chỉ của khối MMU truyền thống.

***Lý do thực hiện đề tài:***

* Kiến trúc RISC-V là kiến trúc tập lệnh mở phổ biến, có nhiều ứng dụng trong sản xuất và nghiên cứu. Việc tìm hiểu và cải tiến tốc độ khối quản lý bộ nhớ MMU giúp gia tăng hiệu suất truy cập bộ nhớ, tăng tốc độ xử lý cho toàn hệ thống là cần thiết cho việc nghiên cứu, phát triển kiến trúc tập lệnh. Trong kiến trúc RISC-V, một trong những nhiệm vụ của khối MMU là dịch địa chỉ ảo do CPU cung cấp sang địa chỉ máy để truy cập RAM và được sự hỗ trợ lưu trữ một phần từ bộ đệm TLBs, trường hợp địa chỉ cần chuyển đổi không có trong bộ đệm TLBs, việc tìm kiếm địa chỉ sẽ thực hiện trên bảng trang (Page Table) nơi lưu trữ ánh xạ địa chỉ với số lượng lớn, dẫn đến thời gian chuyển đổi sẽ lâu hơn so với việc được hỗ trợ từ khối TLBs.
* Việc sử dụng giải thuật LRU (Least Recently Unit) cho bộ đệm lưu trữ các thông tin ánh xạ địa chỉ TLBs, loại bỏ các mục địa chỉ không thường xuyên sử dụng, thay thế bằng các mục truy cập gần giúp bộ đệm TLBs lưu trữ các ánh xạ địa chỉ cần truy xuất thường xuyên, giảm thiểu việc tìm kiếm địa chỉ từ Page Table, từ đó gia tăng tốc độ chuyển đổi địa chỉ.

***Thách thức:***

* Khối MMU ngoài việc quản lý bộ nhớ như trên còn có các chức năng bảo mật, phân bổ, cấp quyền cho hệ điều hành truy cập các tiến trình, ngăn chặn truy cập, ánh xạ thiết bị đầu cuối, … các chức năng này chưa phải là chức năng muốn hướng tới khi thực hiện đề tài
* Cần nắm rõ các kiến thức về kiến trúc RISC-V bao gồm kiến trúc tập lệnh, datapath, cách kiến trúc lưu trữ, ánh xạ các địa chỉ ảo và vật lý vào bộ nhớ

## B2. Mục tiêu, nội dung, kế hoạch nghiên cứu

### B2.1 Mục tiêu

Tham khảo từ khóa luận tốt nghiệp “THIẾT KẾ VÀ HIỆN THỰC ĐƠN VỊ QUẢN LÝ BỘ NHỚ” [9], với mục tiêu của đề tài là thiết kế được bộ khối quản lý bộ nhớ (MMU) trên kiến trúc RISC-V với bộ đệm lưu trữ thông tin địa chỉ TLBs sử dụng giải thuật LRU thông qua ngôn ngữ đặt tả phần cứng Verilog với khối TLBs có thể lưu trữ 64 cặp địa chỉ trong cùng một thời điểm. Kết quả đề tài có thể mô phỏng được trên phần mềm ModelSim và thu được kết quả mong muốn, khắc phục được các hạn chế và cải tiến được tốc độ chuyển đổi địa chỉ so với thiết kế tham khảo đã đề cập phía trên.

### B2.2 Nội dung và phương pháp nghiên cứu

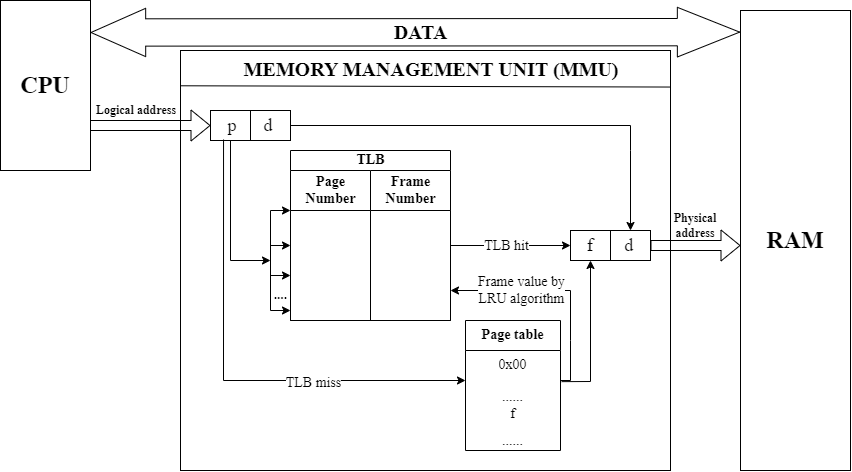
**Nội dung 1:** Tìm hiểu tổng quan đề tài

**Phương pháp thực hiện:**

* Tìm hiểu tổng quan về yêu cầu chức năng cho khối MMU, TLBs
* Tìm hiểu về kiến trúc tập lệnh RISC-V, các truy cập đến khối MMU
* Thuật toán LRU (Least Recently Unit)
* Tìm hiểu và cải tiến (nếu có) datapath dự kiến thực hiện

**Kết quả dự kiến:**

* Xác định được các chức năng cho khối MMU, TLBs, xây dựng sơ đồ datapath và bảng tín hiệu control cho khối MMU
* Nắm được kiến trúc tập lệnh, các tín hiệu điều khiển, truy xuất đến khối MMU
* Hiểu rõ về giải thuật LRU, cách giải thuật hoạt động.



***Hình 1. Sơ đồ tổng quan cho khối thiết kế***

**Nội dung 2**: Thiết kế các khối chuyển đổi địa chỉ, bảng trang và các khối có liên quan trong datapath MMU

**Phương pháp thực hiện:**

* Tìm hiểu các yêu cầu chức năng, cách thức hoạt động của các khối chức năng MMU như Page Table, Address Translation, Memory Protection, Access Control, … để thiết kế, đóng gói và mô phỏng.
* Hiện thực các khối chức năng sử dụng trong datapath MMU bằng ngôn ngữ đặc tả Verilog, mô phỏng được các chức năng yêu cầu bằng phần mềm ModelSim.

**Kết quả dự kiến:**

* Hoàn thiện, đóng gói và mô phỏng được đúng chức năng các khối có trong datapath của MMU
* Các khối có các ngõ tín hiệu điều khiển thích hợp để xây dựng khối Control

**Nội dung 3**: Thiết kế khối TLBs sử dụng thuật toán LRU (Least Recently Unit) để thay thế các trang không thường xuyên truy cập

**Phương pháp thực hiện:**

* Xây dựng sơ đồ giải thuật từ Nội dung 1, hiện thực giải thuật LRU trên phần cứng bằng ngôn ngữ đặc tả Verilog, xây dựng dữ liệu mô phỏng
* Thiết kế khối TLBs có khả năng lưu trữ 64 cặp địa chỉ ảo và địa chỉ thực trong cùng một thời điểm, có khả năng tìm kiếm và thay thế các cặp địa chỉ ít được sử dụng bằng các cặp địa chỉ mới sử dụng giải thuật LRU.

**Kết quả dự kiến:**

* Hoàn thiện, đóng gói và mô phỏng được đúng chức năng khối TLBs như đã đề ra ở nội dung

**Nội dung 4**: Xây dựng khối Control cho Datapath MMU

**Phương pháp thực hiện:**

* Xây dựng khối tín hiệu điều khiển Control cho Datapath MMU như đã đề ra bằng ngôn ngữ đặc tả Verilog và thực hiện mô phỏng.

**Kết quả dự kiến:**

* Hoàn thiện, đóng gói và mô phỏng được đúng chức năng khối điều khiển Control cho Datapath MMU đã xây dựng ở các nội dung trên

**Nội dung 5**: Hoàn thiện khối MMU và thực hiện mô phỏng

**Phương pháp thực hiện:**

* Kết hợp các khối Datapath và Control đã thực hiện được ở nội dung 3 và 4, xây dựng dữ liệu mô phỏng và thực hiện mô phỏng

**Kết quả dự kiến:**

* Thu được khối MMU hoàn chỉnh với khối TLBs sử dụng giải thuật LRU, mô phỏng đúng các chức năng yêu cầu đã đề ra
* Đánh giá và so sánh được hiệu suất so với các khối MMU không sử dụng khối TLBs với giải thuật LRU

**B2.3 Kế hoạch nghiên cứu**.

***Bảng 1. Thời gian và nội dung cần thực hiện***

|  |  |
| --- | --- |
| **Thời gian** | **Nội dung** |
| Tuần 1 - 2 | Tìm hiểu tổng quan đề tài |
| Tuần 3 - 7 | Thiết kế các khối chuyển đổi địa chỉ, bảng trang và các khối có liên quan trong datapath MMU |
| Tuần 8 - 12 | Thiết kế khối TLBs sử dụng thuật toán LRU (Least Recently Unit) để thay thế các trang không thường xuyên truy cập |
| Tuần 14 - 17 | Xây dựng khối Control cho Datapath MMU |
| Tuần 18 – 21 | Hoàn thiện khối MMU và thực hiện mô phỏng |
| Tuần 22 - 24 | Hoàn thiện tổng hợp, viết báo cáo |

## B3. Kết quả dự kiến

* Thiết kế và đóng gói hoàn thiện khối MMU với khối TLBs sử dụng giải thuật LRU
* Mô phỏng được các chức năng yêu cầu và thu được kết quả mô phỏng đạt hiệu suất tốt hơn các khối TLBs khác không sử dụng giải thuật LRU

## B4. Tài liệu tham khảo

[1] David Patterson and Andrew Waterman (2017). *"The RISC-V Reader: An Open Architecture Atlas"*. Place of publication US Trade Paper

[2] Andrew Waterman , Krste Asanovic (2019).  *RISC-V Instruction Set Manual, Volume I: User-Level IS.* Place of publication: CS Division, EECS Department, University of California, Berkeley

[3] Andrew Waterman, Krste Asanovic, John Hauser (2021). *RISC-V Instruction Set Manual, Volume II: Privileged Architecture*Place of publication: CS Division, EECS Department, University of California, Berkeley

[4] V. Janapa Reddi, Wei Liu, Kevin Lim and Lixin Zhang (2017*). "Efficient Virtual Memory for Big Memory Servers"*. Retrieved 10 April, from <https://research.cs.wisc.edu/multifacet/papers/isca13_direct_segment.pdf>

[5] Sarah L. Harris, David Harris, (2022). *"Translation Lookaside Buffers: An Overview"*. Retrieved 9 April from <https://www.sciencedirect.com/topics/computer-science/translation-lookaside-buffer>

[6] Jiwon Lee; Ju Min Lee; Yunho Oh; William J. Song; Won Woo Ro (2023). *A TLB Design with Adaptive and Recursive Page Merging in GPUs.* Retrieved 10 April from https://ieeexplore.ieee.org/abstract/document/10071063/

[7] Michael K. Gschwind, Stephen W. Keckler and William J. Dally. (2005). *"Efficient Implementation of LRU on a High-Performance Processor"* Retrieved 10 April from [NimbusSanL-Regu (mit.edu)](https://people.csail.mit.edu/sanchez/papers/2016.model.hpca.pdf)

[8] Peter Kogge and Brian K. Flachs. (2007). *"Optimizing LRU for Advanced Microprocessors"* Retrieved 9 April from [Advanced Memory Optimization Techniques for Low-Power Embedded Processors | Request PDF (researchgate.net)](https://www.researchgate.net/publication/220692387_Advanced_Memory_Optimization_Techniques_for_Low-Power_Embedded_Processors)

[9] Lê Phước Nhật Nam, Trần Quốc Trường. (2022). *THIẾT KẾ VÀ HIỆN THỰC ĐƠN VỊ QUẢN LÝ BỘ NHỚ*

|  |  |
| --- | --- |
| *Ngày 09 tháng 04 năm 2023*  **Giảng viên hướng dẫn**  (Ký và ghi rõ họ tên) | *Ngày 08 tháng 04 năm 2023*  **Chủ nhiệm đề tài**  (Ký và ghi rõ họ tên) |
| Phạm Minh Quân | Bùi Đăng Huy |
|  |  |
|  |  |